

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-199635

(43)公開日 平成9年(1997)7月31日

(51) Int.Cl. ⁶ H 01 L 23/14 H 05 K 3/46	識別記号	府内整理番号	F I H 01 L 23/14 H 05 K 3/46	技術表示箇所 R N
----------------------------------------------------------	------	--------	------------------------------------	------------------

審査請求 未請求 請求項の数13 OL (全 6 頁)

(21)出願番号 特願平8-7594
(22)出願日 平成8年(1996)1月19日

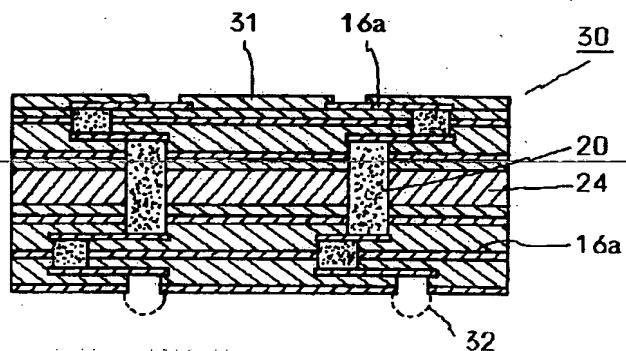
(71)出願人 000190688
新光電気工業株式会社
長野県長野市大字栗田字舍利田711番地
(72)発明者 竹ノ内 敏一
長野県長野市大字栗田字舍利田711番地
新光電気工業株式会社内
(74)代理人 弁理士 緋賀 隆夫 (外1名)

(54)【発明の名称】回路基板形成用多層フィルム並びにこれを用いた多層回路基板および半導体装置用パッケージ

(57)【要約】

【課題】簡易な工程で製造が可能な多層回路基板およびこれに用いて好適な回路基板形成用多層フィルムを提供する。

【解決手段】導体層1-6が所要の配線パターン1-6aに形成され、熱硬化性樹脂層12およびその両面に設けた接着層14にピアホール18が形成され、該ピアホール18に配線パターン16aに接続する導電性物質が充填されたピア20を有する回路基板形成用多層フィルム10が、導電性物質がピアホールに充填されて形成されたピア20を有するコア基板24の片面または両面に多層フィルム10表面の接着層14を介して所要枚数積層されて熱圧着され、かつ多層フィルム10およびコア基板24に設けたピア20を介して配線パターン16a間が電気的に接続されていることを特徴とする。



【特許請求の範囲】

【請求項1】 熱硬化性樹脂層の両面に熱可塑性樹脂から成る接着層が形成され、該接着層の一方の接着層上に導体層が形成されて成る回路基板形成用多層フィルム。

【請求項2】 前記熱硬化性樹脂層が熱硬化性（非熱可塑性）のポリイミド樹脂から成り、前記接着層が熱可塑性のポリイミド樹脂から成ることを特徴とする請求項1記載の回路基板形成用多層フィルム。

【請求項3】 前記導体層が、スパッタリング層と該スパッタリング層上に形成されためっき層から成ることを特徴とする請求項1または2記載の回路基板形成用多層フィルム。 10

【請求項4】 前記導体層のめっき層が銅であることを特徴とする請求項3記載の回路基板形成用多層フィルム。

【請求項5】 導体層が所要の配線パターンに形成され、熱硬化性樹脂層およびその両面に設けた接着層にピアホールが形成され、該ピアホールに前記配線パターンに接続する導電性物質が充填されたピアを有する請求項1、2または3記載の回路基板形成用多層フィルムが、該多層フィルム表面の接着層を介して複数枚積層されて熱圧着され、かつ前記ピアを介して前記配線パターン間が電気的に接続されていることを特徴とする多層回路基板。 20

【請求項6】 導体層が所要の配線パターンに形成され、熱硬化性樹脂層およびその両面に設けた接着層にピアホールが形成され、該ピアホールに前記配線パターンに接続する導電性物質が充填されたピアを有する請求項1、2または3記載の回路基板形成用多層フィルムが、導電性物質がピアホールに充填されて形成されたピアを有するコア基板の片面または両面に前記多層フィルム表面の接着層を介して所要枚数積層されて熱圧着され、かつ前記多層フィルムおよびコア基板に設けたピアを介して前記配線パターン間が電気的に接続されていることを特徴とする多層回路基板。 30

【請求項7】 前記導電性物質が銅ペーストを用いて形成されているものであることを特徴とする請求項6記載の多層回路基板。

【請求項8】 前記コア基板がセラミック基板であることを特徴とする請求項6または7記載の多層回路基板。 40

【請求項9】 前記コア基板が樹脂基板であることを特徴とする請求項6または7記載の多層回路基板。

【請求項10】 前記コア基板の表面またはその内部に、前記多層フィルムの配線パターンにピアを介して電気的に接続する配線パターンが形成されていることを特徴とする請求項6、7、8または9記載の多層回路基板。

【請求項11】 請求項6、7、8、9または10記載の多層回路基板の一方の面に前記配線パターンと電気的に接続する外部接続端子が形成され、他方の面に半導体

素子の搭載部が形成されていることを特徴とする半導体装置用パッケージ。 2

【請求項12】 前記コア基板に積層された前記回路基板形成用多層フィルムが枠状に形成されることにより、前記半導体素子の搭載部がキャビティに形成されていることを特徴とする請求項11記載の半導体装置用パッケージ。

【請求項13】 前記外部接続端子がはんだバンプであることを特徴とする請求項11または12記載の半導体装置用パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は回路基板形成用多層フィルム並びにこれを用いた多層回路基板および半導体装置用パッケージに関する。

【0002】

【従来の技術】 高密度実装に適した多層回路基板の配線パターンを多層に形成する方法として図10～図13に示すビルドアップ法が知られている。このビルドアップ法は、ガラスエポキシ基板などのコア基板1にスパッタリング法またはめっき法により導体層を形成し、導体層をエッチングして配線パターン2を形成する（図10）。この配線パターン2上に感光性レジスト3を塗布し、感光性レジスト3にフォトリソグラフィによりピアホール4を形成する（図11）。次いでピアホール4を含めて感光性レジスト3上にめっき法やスパッタリング法などで導体層を形成し、この導体層をエッチングして配線パターン5を形成し、コア基板1上に形成した配線パターン2とピアホール4部分で導通させる（図12）。さらに感光性レジスト3上に形成した配線パターン5を含めレジスト上に感光性レジスト6を塗布し、上記と同様な工程により配線パターン7を形成する（図13）という工程を繰り返すものである。

【0003】

【発明が解決しようとする課題】 上記ビルドアップ法によれば、微細な配線パターンを多層に形成することが可能となる。しかしながら、ビルドアップ法では、フォトリソグラフィの工程を繰り返して順次パターン形成をするため、工程が複雑で長くなり、コスト高になるという問題点がある。

【0004】 そこで、本発明は上記問題点を解決すべくなされたものであり、その目的とするところは、簡易な工程で製造が可能な多層回路基板、半導体装置用パッケージおよびこれに用いて好適な回路基板形成用多層フィルムを提供するにある。

【0005】

【課題を解決するための手段】 本発明は上記目的を達成するため次の構成を備える。すなわち、本発明に係る回路基板形成用多層フィルムは、熱硬化性樹脂層の両面に熱可塑性樹脂から成る接着層が形成され、該接着層の一

方の接着層上に導体層が形成されていることを特徴とする。前記熱硬化性樹脂層を熱硬化性（非熱可塑性）のポリイミド樹脂で形成し、前記接着層を熱可塑性のポリイミド樹脂で形成すると好適である。また前記導体層を、スパッタリング層と該スパッタリング層上に形成されためっき層で形成すると好適である。前記導体層のめっき層を銅で形成することができる。

【0006】本発明に係る多層回路基板は、導体層が所要の配線パターンに形成され、熱硬化性樹脂層およびその両面に設けた接着層にピアホールが形成され、該ピアホールに前記配線パターンに接続する導電性物質が充填されたピアを有する上記回路基板形成用多層フィルムが、該多層フィルム表面の接着層を介して複数枚積層されて熱圧着され、かつ前記ピアを介して前記配線パターン間に電気的に接続されていることを特徴とする。

【0007】また本発明に係る多層回路基板では、導体層が所要の配線パターンに形成され、熱硬化性樹脂層およびその両面に設けた接着層にピアホールが形成され、該ピアホールに前記配線パターンに接続する導電性物質が充填されたピアを有する上記の回路基板形成用多層フィルムが、導電性物質がピアホールに充填されて形成されたピアを有するコア基板の片面または両面に前記多層フィルム表面の接着層を介して所要枚数積層されて熱圧着され、かつ前記多層フィルムおよびコア基板に設けたピアを介して前記配線パターン間に電気的に接続されていることを特徴とする。前記導電性物質は銅ペーストを用いて形成することができる。前記コア基板をセラミック基板で形成することができる。前記コア基板を樹脂基板で形成することができる。また前記コア基板の表面またはその内部に、前記多層フィルムの配線パターンにピアを介して電気的に接続する配線パターンを形成することができる。

【0008】本発明に係る半導体装置用パッケージでは、上記多層回路基板の一方の面に前記配線パターンと電気的に接続する外部接続端子が形成され、他方の面に半導体素子の搭載部が形成していることを特徴とする。前記コア基板に積層された前記回路基板形成用多層フィルムを枠状に形成することにより、前記半導体素子の搭載部をキャビティ状に形成すると好適である。前記外部接続端子をはんだバンブに形成して、BGAタイプの半導体装置用パッケージとすることができます。

【0009】

【発明の実施の形態】以下、本発明の好適な実施の形態を添付図面に基づいて詳細に説明する。図1は回路基板形成用多層フィルム10の断面構造を示す。12は熱硬化性樹脂層である。熱硬化性樹脂層12は、非熱可塑性を示すポリイミド樹脂を好適に用いることができる。熱硬化性樹脂層12は厚さ25～100μmに形成して必要な強度を得るようにする。14a、14bは熱硬化性樹脂層12の両面に塗布して形成した熱可塑性樹脂から

なる接着層である。接着層14a、14bは熱可塑性のポリイミド樹脂を用いるのが好適であり、200℃以上の熱を加えることによって軟化し、接着性を示す。接着層14a、14bの厚さは概ね10μm前後が好適である。

【0010】熱硬化性樹脂層12に用いる材料は、ユーピレックス（商標）、アピカル（商標）等が好適である。例えばユーピレックスの引張り弾性率は、900Kg/mm²(25℃)、350Kg/mm²(300℃)で、300℃では室温の半分以下の強度に低下する。アピカルでは325Kg/mm²(25℃)の強度をもつ。これらのポリイミドは正確には非熱可塑性ポリイミドと呼ぶのが正しいとされ、ガラス転移温度(Tg)と熱分解温度が接近しており、Tgは正確には求められないが、熱分解温度400～500℃まで安定した機械的強度を保つ。またこれらポリイミドは熱処理(キュア)によりイミド化反応を起こして硬化するため、熱硬化性ポリイミドと呼ばれることがある。本発明ではこれらポリイミドを含めて熱硬化性樹脂ということにする。

【0011】一方熱可塑性ポリイミドは、ガラス転移温度(Tg)をもち、このTgを境にして、Tg以上の温度では可塑化、すなわち機械的強度が著しく下がって柔らかくなる。例えば三井東圧化学(株)製熱可塑性ポリイミドPI-Ah(Tg200℃)は200℃以上の温度では引張り強度は1Kg/mm²以下となる。熱可塑性ポリイミドがTg以上の温度で軟化するために、接着することも可能になり、同時に銅配線パターンを軟化した熱可塑性ポリイミド樹脂中に埋め込むようにすることも可能となる。

【0012】16は導体層であり、一方の接着層14a上に、約5μm程度の厚さに形成されている。導体層16は、例えばスパッタリング法により銅の薄膜を形成した後、電解めっきにより薄膜上に銅のめっき皮膜を形成して厚さ5μm程度とするのがよい。導体層16の厚さを5μm程度に形成することによって、物理的、化学的強度に優れた十分微細な配線パターンに形成することができる。なお、場合によっては、スパッタリング法による銅の薄膜のみを導体層16としてもよい。スパッタリング法により銅の薄膜をポリイミド樹脂の上に形成するときは、ポリイミド樹脂との密着性をよくするために、公知の手法により、スパッタリング法によりクロムの薄膜、さらにニッケルの薄膜を形成して、その上に銅の薄膜を形成するようにする。あるいはポリイミド樹脂表面を粗面化して後、スパッタリング法により銅の薄膜を形成するようにしてもよい。上記の回路基板形成用多層フィルムは後記する多層回路基板の構成材料として好適に用いることができる。

【0013】統いて、多層回路基板の実施の形態をその製造方法とともに説明する。図2に示すように、回路基板形成用多層フィルム10の導体層16をエッティング加工して配線パターン16aに形成し、さらに、エキシマ

レーザー等により、熱硬化性樹脂層12および接着層14a、14bにピアホール18を、配線パターン16aの裏面が露出するように配線パターン16aの所要部位に形成する。次いで図3に示すように、ピアホール18に、銅ペースト、銀ペーストを充填し、または金、銀、銅、ニッケル、鉛などの金属粒子を樹脂(熱可塑性樹脂、例えば熱可塑性ポリイミド樹脂が好ましい)中に混入した導電性樹脂などの導電性物質を充填してピア20を形成して、多層フィルムから成る単位基板22を形成する。

【0014】次に図4に示すように、上記のように形成した所要枚数の単位基板22を、コア基板24を挟んで位置決め配置する。コア基板24には、あらかじめ所定の位置にピアホールが形成され、さらにこのピアホールに上記と同様な導電材料が充填されてピア20が形成されている。コア基板24には、ガラスエポキシ基板などの樹脂基板やセラミック基板を用いることができる。セラミック基板を用いる場合、セラミック基板のピアホールを充填する導電材料は、タンクステンやモリブデンなど従来から一般に用いられているものも適用できる。26は熱硬化性樹脂層12の片面に熱可塑性樹脂から成る接着層14を形成した保護フィルムである。保護フィルム26には、電子部品や実装基板接続用の外部接続端子(例えばはんだボール)を配設するための透孔27が形成されている。上記単位基板22、コア基板24、保護フィルム26を重ねて加圧、加熱して熱圧着することによって、図5に示す、所要枚数の単位基板22が積層された多層回路基板30を形成することができる。なお、最上層の露出するパターン16aには、半導体装置や半導体素子などの電子部品接続部を除いてソルダーレジスト31で被覆するか、上記と同様の保護フィルムを被覆してもよい。なお、保護フィルム26の透孔27に外部接続端子、例えばはんだパンプ32を設けることによつて、BGA型の多層配線基板や半導体装置用パッケージとすることができます。この場合最上層の配線パターンに、半導体素子をパッケージした半導体装置や半導体素子が電気的に接続されて搭載されることになる。

【0015】各層の配線パターン16a間はピア20を通じて電気的に接続される。そして図5から明らかなように、各配線パターン16aは両側から接着層14に挟まれて、熱圧着時、熱可塑性樹脂からなる接着層14が軟化することにより接着層14中に埋没するから、配線パターン16aの両脇に気泡等が巻き込まれることがなく、また隣接するような配線パターン16a同士の絶縁性が十分に確保されるので、信頼性の高い、多層回路基板もしくは半導体装置用パッケージを提供できる。各単位基板22はそれぞれ別個に配線パターン16aを形成すればよいから、順次連続的にパターン形成を行わなければならぬビルドアップ法に比較して、工程が簡略になり、コストの低減化を図ることができる。また、コア

に上記単位基板22を所要枚数積層して多層回路基板あるいは半導体装置用パッケージとしてもよい。

【0016】なお、コア基板24の表面にも上記と同様にして配線パターンを形成してもよい。図6はコア基板24の表裏にピア20によって電気的に接続する配線パターン16bを形成し、コア基板24の片面に前記と同様にして形成した単位基板22を熱圧着し、積層した多層回路基板30を示す。また積層体の下面および上面に位置する配線パターンの一端部に対応して透孔27を有する保護フィルム26を熱圧着してある。一方の保護フィルム26の透孔27に外部接続端子、例えばはんだパンプや表面を金属被覆した球状の絶縁体を設けることによって、BGA型の多層回路基板に形成できる。もちろん透孔27にリードピン(図示せず)を設ければPGA型の多層回路基板に形成できる。

【0017】上記のようにコア基板24を設けることによって強度が増し、反り等を防止できるが、場合によってはコア基板24を設けず、単位基板22のみを積層してフレキシブルな多層回路基板あるいは半導体装置用パッケージとしてもよい。図7は、単位基板22のみを積層する場合の組図を示す。この場合、最下層となる単位基板22aには、両面に配線パターン16a、16bを形成し、表層の配線パターン16bを外部接続用の配線パターンとする。

【0018】これらの多層回路基板は、半導体装置を実装する実装基板、または半導体素子を搭載し、樹脂封止あるいはキャップ封止する半導体装置用パッケージとして用いることが可能である。図8、図9は半導体装置用パッケージ34の一例を示す。図8に示す半導体装置用パッケージ34は、コア基板24の片面に前記と同様に形成した単位基板22を多層に形成している。この場合に単位基板22を枠状に形成して、半導体素子搭載部をキャビティ状に設けている。半導体素子36と各単位基板22の露出した配線パターンとをワイヤ38により電気的に接続し、半導体素子36をポッティングなどにより封止樹脂40で封止することにより半導体装置に完成される。なお26は保護フィルム、42はコア基板24と単位基板22の側面を保護する保護レジスト、もしくは金属枠である。保護レジスト42や金属枠は必ずしも設けなくともよい。図9に示す半導体装置用パッケージ34は、単位基板22を2層等の多層に積層したBGA

型のパッケージに形成されている。半導体素子36はパッケージ上面の半導体素子搭載部にフリップチップ接続して電気的に接続され、側面を封止樹脂40で封止している。42は単位基板22の側面を封止する保護レジストである。本例によれば、ほとんど半導体素子の大きさ程度の、チップサイズパッケージに形成できる。

【0019】以上本発明につき好適な実施例を挙げて種々説明したが、本発明はこの実施例に限定されるものではなく、発明の精神を逸脱しない範囲内で多くの改変を施し得るのはもちろんである。

【0020】

【発明の効果】本発明に係る多層回路基板あるいは半導体装置用パッケージによれば、前記したように、各配線パターンは両側から接着層に挟まれて、熱圧着時、熱可塑性樹脂からなる接着層が軟化することにより接着層中に埋没するから、配線パターンの両脇に気泡等が巻き込まれることがなく、信頼性の高い、多層回路基板もしくは半導体装置用パッケージを提供できる。各単位基板はそれぞれ別個に配線パターンを形成すればよいから、順次連続的にパターン形成を行わなければならないビルトアップ法に比較して、工程が簡略になり、コストの低減化を図ることができる。

【図面の簡単な説明】

【図1】回路基板形成用多層フィルムの断面構造を示す。

【図2】回路基板形成用多層フィルムに配線パターンを形成した状態の断面図である。

【図3】ピアを形成した状態の断面図である。

【図4】単位基板、コア基板の組図を示す。

【図5】多層回路基板の断面図である。

【図6】多層回路基板の他の実施の形態を示す断面図で*

*ある。

【図7】多層回路基板の他の実施の形態を示す組図を示す。

【図8】半導体装置用パッケージの一例を示す説明図である。

【図9】半導体装置用パッケージの他の一例を示す説明図である。

【図10】ビルトアップ法の工程図である。

【図11】ビルトアップ法の工程図である。

【図12】ビルトアップ法の工程図である。

【図13】ビルトアップ法の工程図である。

【符号の説明】

10 回路基板形成用多層フィルム

12 熱硬化性樹脂層

14、14a、14b 接着層

16 導体層

16a、16b 配線パターン

18 ピアホール

20 ピア

22 単位基板

24 コア基板

26 保護フィルム

27 透孔

30 多層回路基板

31 ソルダーレジスト

32 はんだバンプ

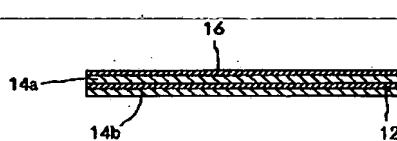
34 半導体装置用パッケージ

36 半導体素子

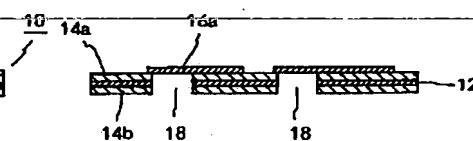
38 ワイヤ

40 封止樹脂

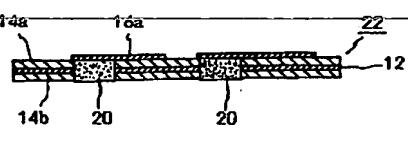
【図1】



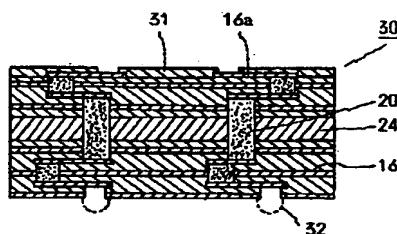
【図2】



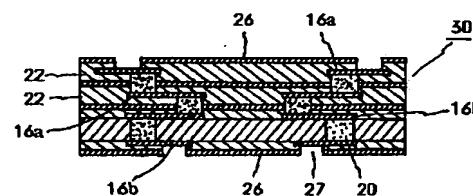
【図3】



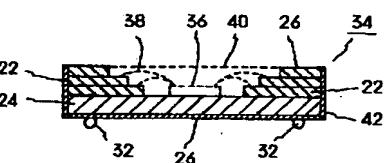
【図5】



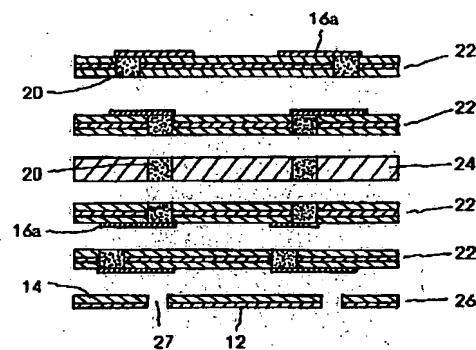
【図6】



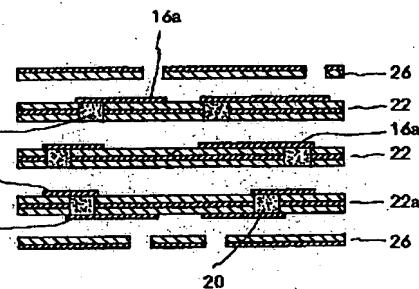
【図8】



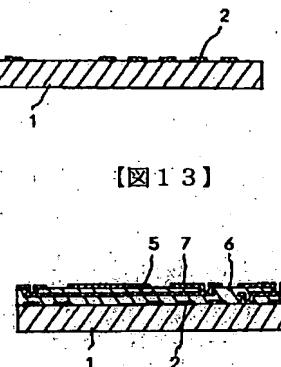
【図 4】



【図 7】



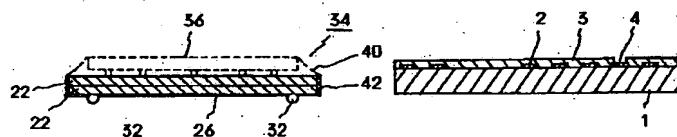
【図 10】



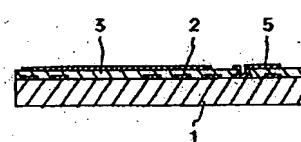
【図 13】

【図 12】

【図 9】



【図 11】





1.abr
2.def
3.hie
List

Include

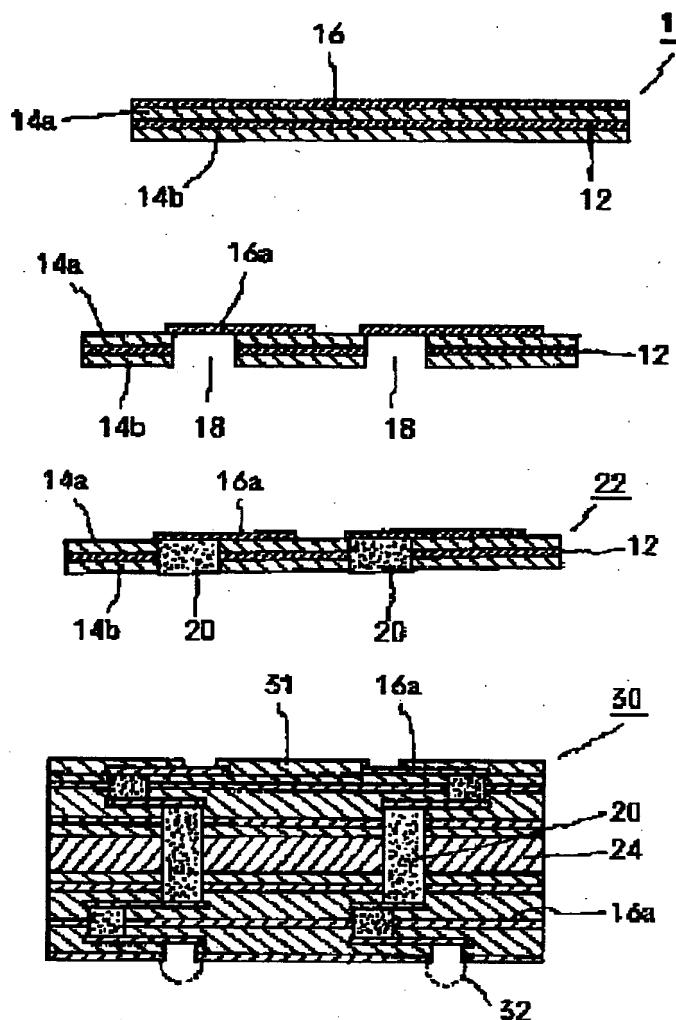
10

MicroPatent® PatSearch FullText: Record 1 of 1

Search scope: US Granted US Applications EP-A EP-B WO JP ; Full patent spec.

Years: 1990-2002

Text: Patent/Publication No.: JP09199635



Order This Patent

Family Lookup

Find Similar

Legal Status

[Go to first matching text](#)

JP09199635 A

**MULTILAYER FILM FOR FORMING CIRCUIT SUBSTRATE, MULTILAYER CIRCUIT SUBSTRATE
USING IT, AND PACKAGE FOR SEMICONDUCTOR DEVICE**

SHINKO ELECTRIC IND CO LTD

Inventor(s): TAKENOUCHI TOSHIICHI

Application No. 08007594 JP08007594 JP, Filed 19960119, A1 Published 19970731

Abstract: PROBLEM TO BE SOLVED: To achieve manufacture with a simple process.

SOLUTION: A conductor layer 16 is formed in a required wiring pattern 16a, a via hole 18 is formed at a thermo setting resin layer 12 and adhesive layers 14a and 14b provided on both surfaces, and a specific number of multilayer films 10 for forming a circuit substrate with a via 20 where a conductive substance connected to the wiring pattern 16a is filled to the via hole 18 are laminated and thermocompressed to one surface of both surfaces of a core substrate 24 with the via 20 which is formed by filling the conductive substance into the via hole via the adhesive layers 14a and 14b on the surface of the multilayer film 10, and the wiring patterns 16a are electrically connected via the via 20 provided at the multilayer film 10 and the core substrate 24.

Patents Citing this One: No US, EP, or WO patents/search reports have cited this patent.



Home



List

For further information, please contact:

[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)